

半導体デバイス信頼性標準化 -ESDセミナー-

- ・JEITA-EDR4709:システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法のガイドライン
- ・JEITA-EDR4710:半導体取り扱いとESD耐量適正化検討のガイドライン

主催・企画：一般社団法人 電子情報技術産業協会 半導体信頼性技術委員会

半導体デバイスの生産と取り扱い環境下でのESDによる破壊防止策として、工程のESD管理の推進、ESD保護素子・回路技術の検討開発が昨今進められてきました。その成果により、近年、取り扱い工程での半導体デバイスのESD起因での故障事例は殆ど無くなってきています。発生している故障は、取り扱いの問題によるEOS破壊が主要因と考えております。しかしながら、従来からの半導体ESD耐量基準を遵守しようとする事で、設計コスト向上等が半導体の開発と発展の足かせになっているのも現状です。

また、電子機器の通電・使用過程のESDによる誤動作を想定したシステムレベルESD試験は、市場での電磁妨害(EMC)に対する耐性試験の一つとして規格化されていますが、それに対して、目的の違う半導体のESD試験とシステムレベルESD試験と同列に扱い、半導体の信頼性認証試験に取り入れてその耐量を求めたり、ESD試験とその耐量との比較を行う等の誤認識も見受けられ出しています。11月6,7日に開催される「ESD forum in China」(JEITA/ESDA/JEDEC共催)のシステムレベルESD波形解析、デバイスへの影響、システムESD設計、最新情報も紹介します。

専門家であるJEITA委員が、最新の設計と規格動向・メカニズム等を中心にまとめたガイドラインの内容の詳細内容の解説、ESD industry councilでの活動内容について紹介をいたします。

日時

2017年 11月21日(火) 10:00~17:00

会場

仙台国際センター 小会議室 1

Program

司会：若井 伸之 (東芝デバイス&ストレージ株)

10:00~10:10	開催のご挨拶 瀬戸屋 孝 半導体信頼性技術委員会 主査 (東芝デバイス&ストレージ株)
10:10~10:20	JEITA-ESD標準化セミナー概要 若井 伸之 (東芝デバイス&ストレージ株)
10:20~15:00 (12:00~13:00) 休憩	半導体取り扱いとESD耐量適正化のガイドラインの解説 -ESD試験の目的と適用範囲について -ESD保護設計の現状について -実際の放電現象とESD試験の関係からみたデバイスの耐量基準について -ESD管理方法について -ESD管理規格化動向 (ESD industry council - White Paper 内容紹介) -推奨する耐量適正条件 小山 明(ソニー株)、鈴木輝夫(株)ソシオネクスト)、田中政樹(RCJ) 市来 勉、森下 泰之(ルネサスエレクトロニクス株)、 石塚裕康(シナプティクス・ジャパン株)、若井伸之(東芝デバイス&ストレージ株)、 小淵雅宏(オンセミコンダクター)、 (質疑応答)
15:00~16:45	システムレベルESDに対応した半導体のESD試験方法とシステムへの半導体部品実装方法、取り扱いガイドライン(JEITA-EDR4709)の解説 (ESD forum in China の最新情報紹介) 石塚裕康(シナプティクス・ジャパン株)、徳永英晃(パナソニック株)、 小淵雅宏(オンセミコンダクター)、田中政樹(RCJ)、小山 明(ソニー株)、 鈴木輝夫(株)ソシオネクスト)、若井伸之(東芝デバイス&ストレージ株) (質疑応答)
16:45~16:55	全体質疑応答
16:55~17:00	閉会のご挨拶 若井伸之 (東芝デバイス&ストレージ株)

半導体デバイス信頼性標準化 -ESDセミナー-

- ・JEITA-EDR4709:システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法のガイドライン
- ・JEITA-EDR4710:半導体取り扱いとESD耐量適正化検討のガイドライン

参加要領

■日時 2017年11月21日(火) 10:00~17:00

■場所 〒980-0856 仙台市青葉区青葉山無番地
 仙台国際センター 会議棟1階 小会議室1
 Tel. 022-265-2211 (代表)
<http://www.aobayama.jp/access/>

■申込期限 2017年11月14日(火) 必着

■定員 40名
 (定員になり次第締め切らせて頂きます)

■申込方法 以下サイトより参加申込書をダウンロードいただき、必要事項をご記入の上、お申込みください。
 登録完了後、登録アドレスに「受講票」と「振込案内」をお送りいたします。
 詳細は下記URLをご参照ください。
<http://semiconjeitassc.ec-net.jp/srg/>



■参加費 20,000円 (JEITA会員) 25,000円 (非会員) 3,000円 (学生) 税込
特別参加 ¥33,000 (テキスト【EDR-4709,EDR-4710】1セット込み、聴講は2名まで無料)

※11/20(月)開催の故障メカニズム・ソフトウェアセミナーに連日参加される方は、総額から¥5000割引させていただきます。

※会員・非会員の区分は、下記にてご確認ください。(特別参加の場合、区分不要)
 (JEITA) <http://www.jeita.or.jp/cgi-bin/member/list.cgi>

※お申込み後のキャンセルはお断りさせていただいております。

※セミナー参加者向けの当該ガイドライン特別頒布価格をご用意させていただいております。

なお、専用申込書(受講申込書)でのお申込みに限りましてのご留意願います。

テキスト名	番号	通常頒布価格	セミナー参加 特別頒布価格
システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法、取り扱いガイドライン	EDR-4709	¥11,726	¥6,000
半導体取り扱いとESD耐量適正化のガイドライン	EDR-4710	¥12,312	¥7,000

■お知らせ (今後の開催予定について)

当セミナーはお陰様を持ちまして大変好評を頂いております。

2017年以降も各地での開催を予定しておりますので、皆様のご参加をお待ちしております。

開催詳細につきましては、ホームページ等で公開予定です。

■運営事務局・各種お問合せ先

株式会社 ティアテック JEITA信頼性セミナー運営事務局 担当: 佐久間

〒135-0034 東京都江東区永代2-16-1 ティアテックビル

TEL: 03-5875-9250 FAX: 03-5875-9251 E-mail: jeita@tiatech.com

■主催 一般社団法人 電子情報技術産業協会 半導体信頼性技術委員会

〒100-0004 東京都千代田区大手町1-1-3 大手センタービル

※申し込み時に入力いただきました個人情報は本セミナーの受付、次回ご案内の為に使用いたします。

他の目的で使用することはありません。

※JEITAの個人情報保護方針につきましては下記をご参照ください。

<http://www.jeita.or.jp/japanese/privacy/>