J:CHIPLEX
(JEITA Chiplet Complex Model)

A Reference Framework for Semiconductor System Solutions

White Paper Rev.1.0.0

項目	記載
発行主体	JEITA 半導体システムソリューション技術委員会
発行日	2026 年 10 月 21 日
作成主体	JEITA チップレットソリューション PG
公開範囲	一般公開
文書状態	Rev.1.0.0

改訂履歴

Revision	Date	Description	Author	Approval
Rev.1.0.0	2026/10/21	JEITA チップレットソリューション PG および関連するハードウェアセキュリティ検討活動の資料を基礎とするスモールスタート版。Rev.1.0.0 では要求項目と今後の検討観点を整理する段階にとどめ、将来、関連する SC、PG および専門組織との連携によって具体化する構成とする。	JEITA チップレットソリューション PG	JEITA 半導体システムソリューション技術委員会

免責事項

- 本書は、技術検討段階にある提案中の参照モデルを説明する文書である。
- 本書は、特定の製品、方式または規格への適合を保証するものではない。
- 記載内容は、今後の検討、関係組織との調整およびレビューにより変更される可能性がある。
- 記載された構成、プロセスノード、電圧、周波数、帯域等には設計例または想定値が含まれ、製品仕様、保証値または推奨構成を示すものではない。
- 本ホワイトペーパーは、JEITA 半導体システムソリューション技術委員会が発行し、その著作権は JEITA に帰属する。ホワイトペーパーの内容は、出典を明記することにより、誰でも引用、参照または活用することができる。ただし、引用または参照した場合は、JEITA 半導体システムソリューション技術委員会へ連絡いただきたい。

Executive Summary

半導体システムは、AI 処理、センシング、リアルタイム制御、電力変換、モータ駆動、セキュリティおよび信頼性を同時に扱う方向へ複雑化している。これらの機能は、要求されるプロセス、電圧、実装構造および設計制約が大きく異なるため、単一ダイのみで最適化するのではなく、機能ごとに適切な技術を選択して統合するヘテロジニアスインテグレーションが有効な設計選択肢となる。

J:CHIPLEX（JEITA Chiplet Complex Model）は、こうした半導体システムソリューションを、機能、物理実装、セキュリティおよびライフサイクルの観点から共通に記述し、関係者間の技術検討を支援するために提案する概念的参照フレームワークである。

モデル	位置付け
J:CHIPLEX-000	ヒューマノイドを代表例とするシステム全体のアーキテクチャ記述
J:CHIPLEX-001	Root of Trust および RoT Agent を中心とするハードウェアセキュリティモデル
J:CHIPLEX-002	製造から廃棄までを対象とするサプライチェーンセキュリティモデル
J:CHIPLEX-101	イメージセンサー、AFE、メモリおよび Edge AI の統合例
J:CHIPLEX-102	AI Accelerator、HBM、SoC、eFPGA、Flash、PMIC および RoT Agent の統合例
J:CHIPLEX-103	GaN を用いる降圧 DC-DC コンバーターSiP の統合例
J:CHIPLEX-104	GaN、絶縁ドライバー、絶縁 ADC、MCU および MEMS を用いるモータードライバ SiP の統合例

ヒューマノイドは、知覚、判断、制御、電力供給および駆動を一つのシステム内に含み、集中制御と分散制御、低電圧デジタル回路と高電圧パワー回路、演算系とセンサー系を横断して説明できるため、代表的ユースケースとして採用する。ただし、J:CHIPLEX の適用対象はヒューマノイドに限定しない。

本書では、セキュリティ、熱、EMC/EMI、Signal Integrity、Power Integrity、構造、テスト容易化および信頼性を横断課題として提示する。

目次

改訂履歴 2

免責事項 2

Executive Summary 3

1. Introduction 8

1.1 背景 8

1.2 半導体システムソリューションの複雑化 8

1.3 チップレットおよびヘテロジニアスインテグレーション 8

1.4 システムレベル参照モデルの必要性 9

1.5 本ホワイトペーパーの目的 9

1.6 Rev.1.0.0 の適用範囲 9

1.7 本書の構成 9

2. J:CHIPLEX Concept and Framework 10

2.1 J:CHIPLEX の定義 10

2.2 目的 10

2.3 適用対象 10

2.4 システムレベルの機能分割 10

2.5 異種プロセス統合の考え方 10

2.6 四つの記述視点 11

2.7 モデル番号体系 11

2.8 各モデル間の関係 11

2.9 将来拡張 11

3. J:CHIPLEX-000: System Architectural Description 12

3.1 モデルの目的 12

3.2 全体構成 12

3.3 Hardware Security Module 13
3.4 Supply Chain Security 13
3.5 Eye Chiplets 14
3.6 Brain Chiplets 14
3.7 Power Chiplets 14
3.8 Actuator Chiplets 14
3.9 Sensor Chiplets 14
3.10 集中制御と分散制御 14
3.11 ブロック間接続 15
3.12 J:CHIPLEX-101～104 との対応 15
4. J:CHIPLEX Security Framework 16
4.1 セキュリティ課題 16
4.2 J:CHIPLEX-001: Hardware Security Module 16
4.3 J:CHIPLEX-002: Supply Chain Security 17
4.3.1 ライフサイクル上の対象工程 18
4.3.2 想定する脅威 19
4.3.3 脅威と対策の対応 19
5. Functional Reference Models 20
5.1 J:CHIPLEX-101: Intelligent Image Sensor 20
目的 20
対象機能・構成要素 20
機能分担および異種プロセス統合 20
データフローまたは電力フロー 20
想定する実装構造 21
期待される利点 21

設計上の課題 21
今後必要な評価 21
要確認事項 21
5.2 J:CHIPLEX-102: Brain Controller 22
目的 22
対象機能・構成要素 22
機能分担および異種プロセス統合 22
データフローまたは電力フロー 22
想定する実装構造 23
期待される利点 23
設計上の課題 23
今後必要な評価 23
要確認事項 23
5.3 J:CHIPLEX-103: DC-DC Converter SiP 24
目的 24
対象機能・構成要素 24
機能分担および異種プロセス統合 24
データフローまたは電力フロー 24
想定する実装構造 25
期待される利点 25
設計上の課題 25
今後必要な評価 25
要確認事項 25
5.4 J:CHIPLEX-104: Motor Driver SiP 26
目的 26

対象機能・構成要素 26
機能分担および異種プロセス統合 26
データフローまたは電力フロー 26
想定する実装構造 27
期待される利点 27
設計上の課題 27
今後必要な評価 27
要確認事項 27
6. Cross-Cutting Design Considerations 28
6.1 共通記述項目の提案 28
6.2 評価の段階化 28
7. Roadmap and Collaboration 29
7.1 Rev.1.0.0 の位置付け 29
7.2 段階的拡張（案） 29
7.3 関連組織との連携方針 29
8. Conclusion 29
References 30
Appendix 31
お問い合わせ先 31
ワーキング参加企業分類（2026 年 10 月 21 日現在） 31

1. Introduction

1.1 背景

高機能な半導体システムでは、計算性能だけでなく、リアルタイム性、電力効率、熱制約、実装面積、セキュリティおよびライフサイクル管理を同時に成立させる必要がある。機能ごとに適したデバイス技術やプロセスが異なることから、システム要求を機能ブロックへ分割し、それぞれを適切なダイまたはチップレットとして構成する考え方が重要となる。近年、チップレットおよびヘテロジニアスインテグレーションに関する技術ロードマップやシステムアーキテクチャの検討が進められており、異なる機能やプロセス技術を統合した半導体システムの実現に向けた取り組みが活発化している[1-3]。これに対し、J:CHIPLEX は、物理世界と相互作用するシステムに不可欠な、高電圧パワー回路、アナログ回路、MEMS センサー、および最先端ロジックの異種統合（Heterogeneous Integration）に焦点を当て、実装、熱、EMC、セキュリティの横断的課題を包括的に議論するためのフレームワークである。

1.2 半導体システムソリューションの複雑化

観点	主な役割	代表的な設計課題
AI 処理	認識、分類、特徴抽出、意思決定支援	演算量、メモリ帯域、電力、放熱
センシング	画像、音、距離、圧力、温度、振動、姿勢の取得	アナログ精度、ノイズ、同期、データ量
リアルタイム制御	姿勢、電源、モータ等の閉ループ制御	遅延、ジッタ、決定性、分散協調
電力変換	複数電圧レールの生成と管理	変換効率、EMI、熱、保護
モータ駆動	アクチュエータへの三相駆動と電流帰還	高 dv/dt、絶縁、電流計測、保護
セキュリティ	起動、鍵、認証、通信および更新の信頼確保	セキュティ上の信頼境界、部品真正性、攻撃耐性
信頼性	運用中の機能維持および異常対応	温度、電気的ストレス、診断、寿命評価

1.3 チップレットおよびヘテロジニアスインテグレーション

ヘテロジニアスインテグレーションは、デジタル演算、アナログフロントエンド、メモリ、パワーデバイス、センサーおよびセキュリティ機能などを、各機能に適したプロセスおよび実装技術で構成し、一つのパッケージまたはシステムへ統合する考え方である[1]。J:CHIPLEX では、最先端ロジックのみを中心に置くのではなく、成熟プロセス、BCD、GaN、MEMS、DRAM および不揮発性メモリを含む異種統合を対象とする。

1.4 システムレベル参照モデルの必要性

個別のダイ、インターコネクトまたはパッケージ技術だけでは、システム全体の機能分担、セキュリティ上の信頼境界、電力フロー、データフローおよびライフサイクル各段階の役割と責任を表現しにくい。チップレットをシステムアーキテクチャの観点から記述する既存の取り組みとして、Foundation Chiplet System Architecture が提案されている[2]。共通の参照モデルにより、デバイス、実装、セキュリティ、熱、EMC およびテストの関係を同一のアーキテクチャ上で議論できる。

1.5 本ホワイトペーパーの目的

本書は、J:CHIPLEX の定義と適用範囲を明確化し、J:CHIPLEX を体系的に記述するとともに、横断的設計課題と将来拡張の方向を提示することを目的とする。

1.6 Rev.1.0.0 の適用範囲

Rev.1.0.0 は、一次資料で確認できる概念モデルと構成例を中心とする。規格適合性、性能保証、信頼性実証、製品化実績および業界合意は対象外である。

1.7 本書の構成

第 2 章で概念とモデル体系、第 3 章でシステム構成、第 4 章でセキュリティ、第 5 章で機能別参照モデル、第 6 章で横断的設計課題、第 7 章でロードマップ、第 8 章で結論を示す。既存規格や既存参照モデルとの関係は追加調査事項とする。

2. J:CHIPLEX Concept and Framework

2.1 J:CHIPLEX の定義

J:CHIPLEX は、半導体システムソリューションを、機能、物理実装、セキュリティおよびライフサイクルの観点から記述するために提案する参照モデルである。システムレベルの構成と、個別の機能別 SiP またはチップレット構成を関連付け、共通理解および技術検討を支援する。

2.2 目的

- 異なる専門分野が参照できる共通のアーキテクチャ記述を提供する。
- 機能分担、接続、電力、セキュリティおよびライフサイクルの検討点を可視化する。
- 具体的な実装を拘束せず、複数の実装候補を比較するための基礎を提供する。
- 将来の関連 SC および PG との共同検討を受け入れられる文書構造を提供する。

2.3 適用対象

代表例はヒューマノイドであるが、知覚、演算、制御、電源および駆動を含む複合システム一般へ適用可能な記述を意図する。具体的な適用分野の列挙および適用条件は今後の検討事項である。

2.4 システムレベルの機能分割

機能分割は、Brain、Eye、Sensor、Power および Actuator という概念的機能ドメインで表現する。これらは人体器官そのものを意味せず、演算、知覚、状態取得、電力供給および駆動という役割を簡潔に示す名称である。

2.5 異種プロセス統合の考え方

演算密度を重視するロジック、アナログ精度や耐圧を重視する BCD、電力変換を担う GaN、センシングを担う MEMS、帯域を担う DRAM、不揮発保持を担う Flash を、機能要求に応じて組み合わせる。資料中のプロセスノードは設計例であり、固定的な推奨値ではない。

2.6 四つの記述視点

視点	記述対象
機能	処理、センシング、制御、電力変換、駆動
物理実装	ダイ、チップレット、SiP、インターポーザー、基板、接続構造
セキュリティ	Root of Trust、RoT Agent、認証、暗号、更新、監視
ライフサイクルマネジメント	製造、設定、組立、出荷、設置、運用、更新、廃棄

2.7 モデル番号体系

区分	一次資料で確認できる内容	本書の整理案
J:CHIPLEX-000	System Architectural Description	システム全体記述を表す
J:CHIPLEX-001～002	Hardware Security Module、Supply Chain Security	横断的セキュリティモデルを表す
J:CHIPLEX-101～104	画像・Edge AI、Brain Controller、DC-DC、Motor Driver	機能別参照モデルを表す
J:CHIPLEX-xxx（将来番号）	一次資料に定義なし	番号割当規則、予約領域、改訂互換性を別途策定する

2.8 各モデル間の関係

J:CHIPLEX-000 がシステム全体を記述し、J:CHIPLEX-001 および 002 は、各機能モデルを横断して信頼の確立とライフサイクル管理を扱い、J:CHIPLEX-101～104 が主要機能ドメインの具体例を提供する。

2.9 将来拡張

将来は、発熱、EMC/EMI、SI/PI、構造、パワーエレクトロニクス、テスト容易化、信頼性および機能安全について、要求、評価指標等を、半導体システムソリューション技術委員会の各 SC で分担して追加する。

3. J:CHIPLEX-000: System Architectural Description

3.1 モデルの目的

JEITA チップレットソリューション PG において提案された、チップレットベースの半導体システムソリューションを表現するためのヒューマノイドをモチーフとしたシステムレベル参照モデル。機能分割、異種プロセス統合、ハードウェアセキュリティおよびライフサイクル管理を統一的に記述することを目的とする。J:CHIPLEX-000 (Fig. 1) をシステムアーキテクチャ記述モデルとし、J:CHIPLEX-001 以降に個別機能モデルを定義する。



Fig. 1 System Architectural

3.2 全体構成

機能ドメイン	主な役割	対応する参照モデル
System Architectural Description	ヒューマノイドをモチーフとしたシステムレベル参照モデル	J:CHIPLEX-000
Hardware Security Module	チップレット集合全体の信頼管理	J:CHIPLEX-001
Supply Chain Security	チップレットセキュリティのライフサイクルマネジメント	J:CHIPLEX-002
Eye Chiplets	画像取得、A/D 変換、フレーム保持、ローカル AI 処理	J:CHIPLEX-101
Brain Chiplets	AI 演算、周辺制御、メモリ、再構成ロジック、電源および信頼管理	J:CHIPLEX-102
Power Chiplets	電源レール変換および管理	J:CHIPLEX-103
Actuator Chiplets	モータ駆動、絶縁、電流計測および局所制御	J:CHIPLEX-104
Sensor Chiplets	圧力、温度、振動、距離、音等の取得と前処理	将来モデル候補

3.3 Hardware Security Module

Hardware Security Module（HSM）は、暗号処理、鍵管理、セキュアブート、セキュア通信等のセキュリティ機能を提供し、システムの信頼基盤（Root of Trust）を構成する機能ブロックである。

J:CHIPLEX-001 では、これらの一般的な HSM 機能に加えて、複数のチップレットから構成されるシステムを対象として、各チップレットの真正性および構成状態を検証し、システム構成の信頼性を確認する機能を RoT Agent の役割として提案する。

機能	一般的な HSM の役割	J:CHIPLEX における利用
Cryptographic Engine	暗号・復号、ハッシュ、署名等	チップレット間通信および構成証明に必要な暗号処理
Key Management	暗号鍵の生成、保存、利用管理	チップレットおよびシステムの認証鍵管理
Secure Boot	起動コードおよび Firmware の真正性・完全性確認	各チップレットを含むシステム起動時の信頼確立
Secure Memory	鍵やセキュリティ情報の保護	チップレット識別情報・構成情報等の保護
Secure Communication	暗号化、認証、MAC 処理等	チップレット間のセキュア通信
Configuration Attestation	従来 HSM 機能の拡張利用	各チップレットの真正性・構成状態を確認し、期待された構成であることを検証
Cryptographic Engine	暗号・復号、ハッシュ、署名等	チップレット間通信および構成証明に必要な暗号処理
Key Management	暗号鍵の生成、保存、利用管理	チップレットおよびシステムの認証鍵管理

J:CHIPLEX では、一度パッケージングされた後には内部の各ダイを外部から直接確認することが困難になることを考慮し、RoT Agent が各チップレットのデバイスアイデンティティや Firmware 等の検証情報を利用して構成を確認する。これにより、個々のチップレットの信頼性確認だけでなく、「期待されたチップレットによってシステムが構成されていること」の証明（Configuration Attestation）を可能にすることを目指す。

3.4 Supply Chain Security

チップレットの製造から構成・プログラミング、アセンブリ、出荷、製品組込み、運用、ソフトウェア更新、廃棄までを対象としたサプライチェーンセキュリティモデルである。 各工程では、マルウェア混入、不正なハードウェアの挿入、データ漏えい、

廃棄品の分解・解析などのリスクが想定される。本モデルでは、デバイスアイデンティティ、認証、トレーサビリティ、偽造防止およびプロビジョニングをライフサイクル全体に適用することで、チップレットの真正性と構成情報を継続的に確認し、信頼できるサプライチェーンの構築を目指す。

3.5 Eye Chiplets

Eye Chiplets は、Pixels、Logic/AFE、ADC/DAC、DRAM および Edge AI を積層または高密度接続し、RAW データを外部へ転送する前に処理する構成例である。

3.6 Brain Chiplets

Brain Chiplets は、大規模 AI 処理と、外部インターフェース、リアルタイム制御、構成管理、電源管理およびセキュリティを分担する。資料では AI Accelerator、HBM3E、SoC、eFPGA、Flash、PMIC および RoT Agent の組合せが例示される。

3.7 Power Chiplets

Power Chiplets は、システム内の電圧レールを段階的に変換し、各機能ドメインへ電力を供給する。一次資料には 100 V から 48 V または 24 V、さらに 12 V、5 V、3.3 V および 1.8 V へ変換する例が示される。これらは設計例である。

3.8 Actuator Chiplets

Actuator Chiplets は、絶縁モータードライバ、絶縁差動 ADC、MCU、GaN HEMT および MEMS を統合し、駆動と局所的な状態監視を担う概念である。

3.9 Sensor Chiplets

Sensor Chiplets は、LiDAR、Microphone、Pressure、Temperature、Vibration 等と AFE および Edge AI を組み合わせる概念である。各センサーの具体的構造、インターフェースおよびモデル番号は、まだ未検討である。

3.10 階層型・分散制御アーキテクチャ

J:CHIPLEX では、Brain Chiplets を単一の中央制御ブロックに限定せず、システム内に複数配置し、それぞれが担当する機能ドメインや要求される応答時間に応じて演算および制御を分担する構成を想定する。複数の Brain Chiplets 間では、システム全体に関わる認識、判断および制御情報を共有・協調するとともに、Eye、Sensor、Power および Actuator 等の各機能ドメインでは、必要に応じてローカルな前処理、制御および保護動作を実行する。

このような階層的・分散的な制御構成により、低遅延性やリアルタイム性が要求される処理を各機能ドメインの近傍で実行しつつ、複数の Brain Chiplets によるシステムレベルの協調制御を行うことを想定する。各 Brain Chiplets および機能ドメイン間の機能分担、通信、時刻同期、冗長化、異常時の縮退動作、および独立した監視・保護機能の構成については、今後の検討課題とする。

3.11 ブロック間接続

ヒューマノイドシステムでは、多数の可動部を経由する信号ハーネスの重量、占有空間、屈曲耐久性および電磁ノイズ耐性が重要な設計課題となる。このため、Brain、Eye、Sensor および Actuator 等の機能ブロック間における高速・大容量データ伝送には、光インターコネクトの適用を検討する。光インターコネクトは、信号配線の軽量化、細径化および EMI 耐性の向上に寄与する可能性がある。一方、短距離制御通信、電力供給および安全関連通信については、電気インターコネクトを含めて適切な方式を選択する必要がある。

低速センサーデータ、状態監視、診断、保守および構成管理については、無線通信の適用も考えられる。ただし、無線通信は伝搬環境、干渉、遅延、通信途絶、消費電力およびセキュリティの影響を受けるため、リアルタイム制御および安全関連機能への適用には、決定性、冗長性およびフェイルセーフ動作の評価を必要とする。

また、ブロック間接続では、物理層における Signal Integrity に加え、伝送データの完全性および通信相手の真正性を確保する必要がある。伝送誤りの検出には CRC 等を利用し、セキュリティが要求される通信では MAC 等による改ざん検知や、ブロック間の相互認証を組み合わせる構成が考えられる。適用する保護方式および RoT Agent との連携については、通信の用途、リアルタイム性および要求されるセキュリティレベルに応じて今後検討する。

3.12 J:CHIPLEX-101～104 との対応

J:CHIPLEX-101～104 は、J:CHIPLEX-000 における Eye、Brain、Power および Actuator の具体化例である。Sensor については既存モデルとの包含関係または新規番号の要否を確認する必要がある。

4. J:CHIPLEX Security Framework

4.1 セキュリティ課題

チップレットシステムでは、複数の供給者、複数の製造工程、設定データ、ファームウェアおよび実装工程が信頼性に影響する。単一ダイの境界だけではなく、チップレット間通信、インターポーザー、パッケージ、構成情報および更新経路を含む信頼境界の定義が必要である。

4.2 J:CHIPLEX-001: Hardware Security Module

J:CHIPLEX-001 では、RoT を単一の機能として扱うのではなく、個々のチップレットにおける信頼の起点と、それらを用いてチップレット集合全体の構成を検証する仕組みを階層的に捉える。各チップレットは、起動コード、デバイス固有情報、鍵等に基づくデバイスレベルの信頼基盤を持ち、RoT Agent はこれらを利用して各チップレットの真正性および構成状態を確認する。これにより、J:CHIPLEX では個々のデバイスの信頼確立に加えて、チップレット集合全体の構成証明を行うことを検討する。

機能候補	**J:CHIPLEX における役割**
Device-level Root of Trust (RoT)	各チップレットにおいて、起動時の完全性検証、デバイス識別、鍵保護等の信頼の起点を提供する
RoT Agent	各チップレットの識別情報、Firmware および構成状態を確認し、チップレット集合全体の信頼状態を管理する
Secure Boot	RoT を起点として、Firmware 等を段階的に検証し、正当性および完全性を確認しながら起動する
Attestation/ Configuration Attestation	各チップレットの真正性および状態を検証し、期待されたハードウェア・ソフトウェア構成であることを検証可能な形で提示する
PUF	チップレット固有の識別情報または鍵生成の基礎となるデバイス固有性を提供する
Secure Memory	鍵、証明書、Firmware、設定情報等のセキュリティ上重要な情報を保護する
Cryptographic Engine	暗号・復号、ハッシュ、署名検証、MAC 等に必要な暗号処理を提供する
Resilience	異常または攻撃の検知時に、防御、復旧または縮退動作を支援する

実装位置、鍵階層、RoT Agent と各ダイ内 RoT との責任分界、可用性、更新方式および故障時動作は今後の設計課題である。チップレットシステムでは、一度パッケージングされると外部から内部ダイの真正性を物理的に検証することが極めて困難となる（ハードウェアトロイや模倣品の混入リスク）。そのため、システム起動時に各チップレットの H/W ユニーク ID やファームウェアのハッシュ値を検証する『RoT Agent』の導入が、エコシステム確立の前提条件となる（Fig. 2）。

※ RoT Agent は、各 Chiplets に一つ配置され、その Chiplets を構成する各 Chiplet の真正性および構成状態を検証・管理することを想定する。Fig. 1 では簡略化のため代表的な RoT Agent のみを示している。さらに、Brain、Eye、Sensor、Power および Actuator 等の Chiplets 間の通信については、それぞれの RoT Agent を基礎とした相互認証等により、システムレベルで通信相手の真正性を確認するセキュリティ機構を検討する。

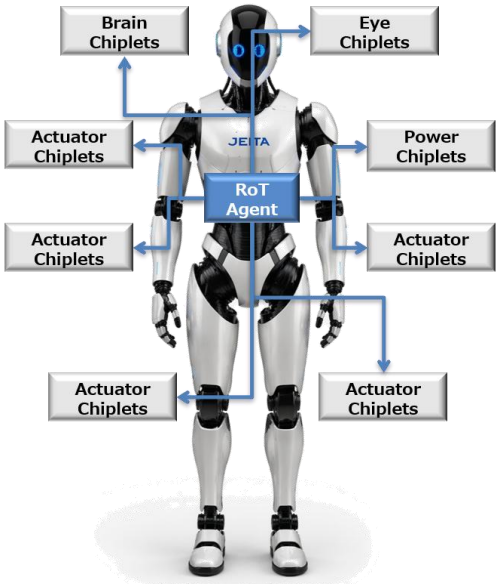


Fig. 2 RoT Agent

4.3 J:CHIPLEX-002: Supply Chain Security

要素	目的
Device Identity	各チップレットまたは集合体の識別
Authentication	部品、装置または更新主体の真正性確認
Traceability	製造、設定、組立、出荷および運用履歴の追跡
Anti-Counterfeit	模倣品、置換品または不正部品の検出支援
Provisioning	鍵、識別子、設定または証明情報の安全なプロビジョニング
Trusted Chiplet Lifecycle Management	製造から廃棄までの信頼状態管理

チップレットベースのシステムは、複数の異なるベンダーから提供されるダイや IP によって構成されるため、製造、プロビジョニング、パッケージング、出荷、運用、そして廃棄に至るライフサイクル全体が複雑化し、サイバー攻撃や物理的攻撃に対するアタックサーフェス（攻撃対象領域）が拡大する。

Trusted Chiplet Lifecycle Management（Fig. 3）は、このライフサイクルのすべてのフェーズにおいて、システムを構成する各要素の「真正性（Authenticity）」「完全性（Integrity）」「機密性（Confidentiality）」を継続的に検証・維持するためのフレームワークである。

本管理フレームワークは、J:CHIPLEX-001 で定義される RoT Agent を信頼の起点（Root of Trust）として機能し、各チップレットに付与されたデバイスアイデンティティ（Device Identity）をベースに、ハードウェア BOM（部品表）の照合、セキュアなソフトウェア更新、および模倣品や不正チップの検知を実行する。これにより、「特定の工程で一度だけ安全を確認する」静的なセキュリティから、「ライフサイクル全体を通して信頼状態を監視・追跡し続ける」動的なセキュリティへの移行を実現する。

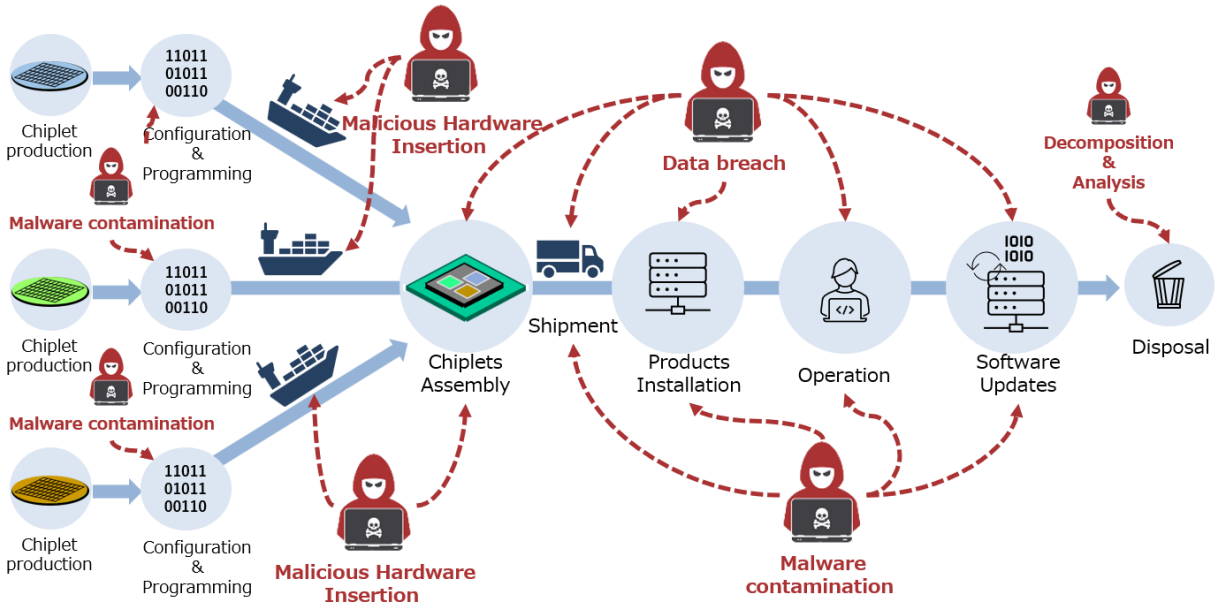


Fig. 3 Trusted Chiplet Lifecycle Management

4.3.1 ライフサイクル上の対象工程

工程	主な管理対象
Chiplet Production	ダイ識別、製造情報、初期状態
Configuration and Programming	Firmware、eFPGA 設定、鍵、個体設定
Assembly	部品構成、接続、パッケージ情報
Shipment	出荷状態、移管記録
Product Installation	組込み先、初期認証、構成確認
Operation	状態監視、認証、ログ、鍵運用
Software Update	更新主体、完全性、ロールバック対策
Disposal	鍵・機密情報の無効化、追跡終了

4.3.2 想定する脅威

- Malicious Hardware Insertion：不正なハードウェアの挿入または置換
- Malware Contamination：設定またはソフトウェアへの不正コード混入
- Data Breach：機密情報、鍵、モデル、設定または運用データの漏えい
- Decomposition and Analysis：分解、解析またはリバースエンジニアリング

4.3.3 脅威と対策の対応

Threat	Lifecycle Phase	Affected Asset	Candidate Countermeasure	Status
Malicious Hardware Insertion	Production / Assembly	部品構成、セキュリティ上の信頼境界	Device Identity、Authentication、Traceability、BOM 照合	BOM 照合は本書上の検討案。WG 確認要
Malware Contamination	Configuration / Update	Firmware、eFPGA 設定	Secure Boot、Firmware Hash 照合、設定データ確認	Hash 照合等は検討案。方式は要確認
Data Breach	Operation / Update	鍵、通信、データ	Secure Memory、PUF、Encryption Engine、アクセス制御	一次資料の機能候補を展開
Decomposition and Analysis	Disposal / Physical access	鍵、IP、構成情報	鍵無効化、機密情報消去、耐タンパー検討	本書上の検討案。外部文献確認要

候補対策は、Device Identity、Authentication、Traceability、Secure Boot、Secure Memory、PUF および Encryption Engine を基礎とし、BOM 照合、Firmware Hash 照合、eFPGA 設定データ確認等を文書構造上の検討案として追加したものである。

5. Functional Reference Models

本章は、各モデルを共通フォーマットで整理する。記載されたノード、電圧、周波数、帯域および接続方式は、設計例または想定値であり、製品仕様または推奨構成ではない。

5.1 J:CHIPLEX-101: Intelligent Image Sensor SiP

目的

画像取得から特徴抽出等までをセンサー近傍で実行し、RAW データの外部転送量およびシステム電力を低減する設計意図を示す。

対象機能・構成要素

構成要素	主な役割
Pixels	光を電荷へ変換し、アナログ信号を生成
Logic and AFE	センサー制御、タイミング、バイアス、アナログ処理
ADC / DAC	A/D 変換、基準生成および補正
DRAM	ADC 後データの一時保存、フレームバッファ
Edge AI	認識、分類、特徴抽出等のローカル処理
Hybrid Bonding / TSV / micro-bump / RDL	層間および外部の高密度接続

機能分担および異種プロセス統合

資料では Logic/AFE を 65 nm、Edge AI を 22 nm とする例が示される。アナログおよびセンサー制御とデジタル AI 処理を異なるプロセスへ分割し、DRAM を近接配置する考え方である（Fig. 4）。

データフローまたは電力フロー

Optical Input → Pixels → Logic and AFE → ADC → DRAM → Edge AI → External Interface。ADC 直後の RAW データを Edge AI で□

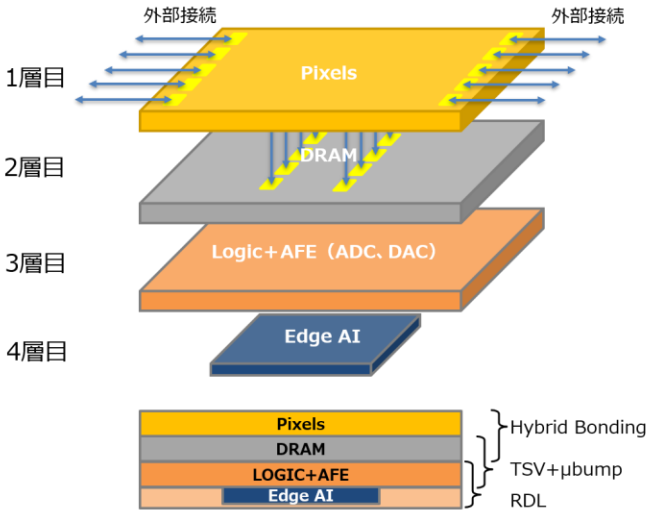


Fig. 4 Intelligent Image Sensor SiP

ーカル処理し、外部転送前に不要情報を削減する。

想定する実装構造

Pixels、DRAM、Logic/AFE および Edge AI の積層を想定し、Hybrid Bonding、TSV と micro-bump、および RDL を接続候補として示す。層順および外部接続位置は要確認である。

期待される利点

機能ごとに適したプロセスを選択し、データ移動距離を短縮できる可能性がある。帯域および電力の低減効果は定量評価を必要とする。

設計上の課題

- 積層時の熱集中と温度勾配
- センサーアナログ部へのデジタルノイズ結合
- TSV、micro-bump および RDL の寄生成分
- DRAM と Edge AI 間の帯域、同期およびデータ形式
- 画質、遅延、消費電力および故障時動作

今後必要な評価

- 外部転送量および消費電力の比較
- 熱解析および画質への温度影響
- SI/PI および基板・積層構造の評価
- テストアクセス、層別故障診断および既知良品ダイの扱い

要確認事項

- DRAM と各層の正確な積層順序および接続方式。
- 帯域・電力低減の定量目標。外部文献による確認が必要。

5.2 J:CHIPLEX-102: Brain Controller SiP

目的

AI 演算、メモリ、周辺制御、再構成ロジック、不揮発性メモリ、電源管理およびセキュリティを一つのメイン制御 SiP へ統合する概念を示す。

対象機能・構成要素

構成要素	主な役割
AI Accelerator	大規模 AI 演算
HBM3E	AI 演算向け高帯域メモリ
SoC	周辺制御、外部インターフェース、AI Accelerator が担わない処理
eFPGA	カスタムロジック、D2D プロトコル変換候補
Flash	起動 Firmware および設定データの保存
PMIC	各ダイへの電源供給、リセットシーケンス
RoT Agent	チップレット集合の Root of Trust 管理
Si Interposer / Organic Substrate	ダイ間接続および BGA 実装

機能分担および異種プロセス統合

資料には AI Accelerator 2 nm、SoC 16 nm、eFPGA 28 nm、Flash 45 nm、PMIC 130 nm、RoT Agent 16 nm 等の例が示される。機能ごとに性能、電力、耐圧、不揮発性およびセキュリティ要求が異なるため、異種プロセス統合の代表例となる（Fig. 5）。

データフローまたは電力フロー

Sensor、Eye および外部 I/F から入力されたデータは SoC 等を介して処理され、必要に応じて AI Accelerator および HBM との間でデータを転送する。eFPGA はカスタム処理または D2D インターフェース変換、Flash は起動および設定情報の保持、PMIC は電源供給およびシーケンス制御を担う。

Brain Chiplets と Sensor、Eye、Power および Actuator 等の機能ドメイン間では双方向通信を想定し、通信内容に応じて MAC 等によるメッセージ完全性・真正性の確認や相互認証を適用することを検討する。RoT Agent

は、各 Chiplets を構成する Chiplet の構成証明とともに、このようなセキュア通信に必要な信頼関係の確立を支援する。

想定する実装構造

Si Interposer（TSV）上に複数ダイを配置し、Organic Package Substrate（BGA）へ実装する例である。Boundary Scan、温度監視および RoT Agent ロジックをインターポーザーへ搭載する案も示される。

期待される利点

演算、メモリ、I/O、電源、再構成およびセキュリティを個別最適化しつつ近接統合できる可能性がある。構成の更新性および機能拡張性も検討できる。

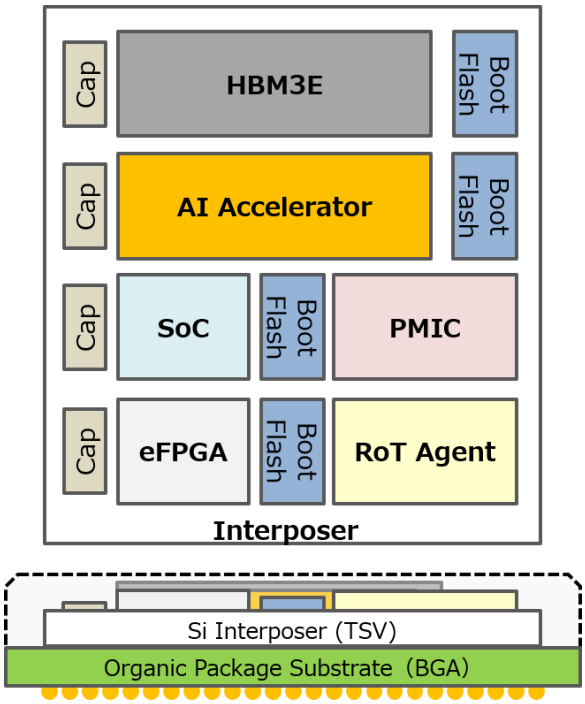


Fig. 5 Brain Controller SiP

設計上の課題

- AI Accelerator と HBM の発熱および冷却
- 複数電源レールの PI と起動順序
- D2D インターフェースの互換性、遅延および暗号化
- RoT Agent の単一障害点化と復旧
- Boundary Scan 等のテスト機能配置
- インターポーザー上ロジックの製造技術と責任分界

今後必要な評価

- 演算性能、メモリ帯域および電力のシステム評価
- 熱・応力・反り解析
- D2D 通信の SI、遅延、エラー率およびセキュリティ評価
- セキュアブートから運用までのライフサイクル実証
- Known Good Die、組立後テストおよび故障分離

要確認事項

- HBM3E の「1.2 TB/s」は構成依存の想定値として扱い、外部文献による確認が必要
- D2D プロトコルとして UCIe 等を用いる範囲と必須性
- インターポーザーへ Boundary Scan、温度監視、RoT Agent ロジックを搭載する案の実現性
- プロセスノードは固定案か単なる例示か

5.3 J:CHIPLEX-103: DC-DC Converter SiP

目的

高電圧入力からシステム内の中間電圧レールを生成するとともに、上位制御系との通信による出力電圧設定、動作状態監視および異常通知に対応する降圧 DC-DC コンバーターSiP の機能分担を示す。。

対象機能・構成要素

構成要素	主な役割
Gate Driver（130 nm BCD 例）	GaN HEMT の高速駆動、レベルシフト、Miller クランプ、デッドタイム制御
GaN HEMT	高周波スイッチングによる電力変換
MCU（22 nm 例）	PWM 生成、フィードバック、シーケンス、監視、通信
Power Inductor / Capacitor	エネルギー蓄積および平滑化
Multi-layer Organic Substrate	部品実装および配線
Exposed Pad	放熱経路候補
Communication	Brain Chiplets 等の上位制御系との間で、出力電圧設定、起動・停止指令、状態監視および異常通知を交換する

機能分担および異種プロセス統合

高耐圧アナログ・ドライバー機能を BCD、デジタル制御を MCU、スイッチング素子を GaN で構成する例である。受動部品を含む SiP として、電気、熱および EMI を同時に設計する必要がある（Fig. 6）。

データフローまたは電力フロー

100 V 入力 → Gate Driver / GaN HEMT によるスイッチング → Inductor / Capacitor による平滑 → 48 V または 24 V 出力、という電力フローを想定する。MCU は出力電圧および電流を監視し、PWM 制御、電圧設定、起動・停止、シーケンス管理および異常処理を行う。

Brain Chiplets 等の上位制御系とは双方向の通信インターフェースで接続し、出力電圧の設定・調整、動作状態の通知、異常情報の報告および停止指令の伝達を行うことを想定する。過電圧、過電流、過熱等に対する高速保護は通信に依存せず SiP 内で自律的に実行し、その結果を上位制御系へ通知する。

出力電圧の設定、起動・停止および保護設定の変更等、システム動作に重大な影響を与える制御通信については、通信相手の認証、アクセス制御、リプレイ攻撃対策、および MAC 等によるメッセージの完全性・真正性確認の適用を検討する。具体的な方式、鍵管理および RoT Agent との連携は今後の検討課題とする。

想定する実装構造

Multi-layer Organic Substrate 上に Gate Driver、GaN HEMT、MCU および受動部品を配置し、Exposed Pad を放熱に利用する構成例である。

期待される利点

駆動ループの短縮、制御と電力段の近接化、小型化および寄生要素の管理が期待される。ただし効率、EMI および熱性能は実測または解析による検証を必要とする。

設計上の課題

- 高 dv/dt による誤動作およびコモンモードノイズ
- ゲートループおよびパワーループの寄生成分
- GaN、ドライバー、インダクターの局所発熱
- 制御回路とパワー回路間のノイズ結合
- 耐圧、沿面・空間距離および保護設計

今後必要な評価

- 効率、過渡応答、デッドタイムおよび保護動作
- EMI、伝導・放射ノイズ、dv/dt 耐性
- 熱抵抗、温度サイクルおよびパワーサイクル
- 短絡・過電圧等の異常試験
- パッケージ寄生を含むモデル相関

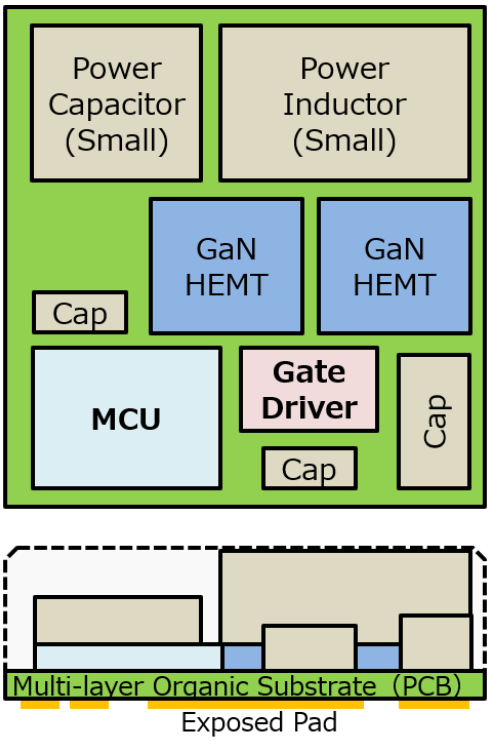


Fig. 6 DC-DC Converter SiP

要確認事項

- モデル名の構成記載に MCU が重複して見えるため正式表記を確認
- 1～2 MHz、100 V、48 V、24 V は設計例としての位置付けを確認
- 絶縁の要否および安全規格との関係。外部文献による確認が必要

5.4 J:CHIPLEX-104: Motor Driver SiP

目的

モータ駆動、絶縁信号伝送、電流計測、局所制御、状態センシング、および上位制御系との双方向通信を統合するアクチュエータ向け SiP の概念を示す。

対象機能・構成要素

構成要素	主な役割
MCU（22 nm 例）	PWM 生成、三相制御、FOC 等の演算、異常検知、通信
Isolation Motor Driver（130 nm BCD 例）	PWM 絶縁伝送、GaN ゲート駆動、レベルシフト、Miller クランプ
Isolation Differential ADC（130 nm BCD 例）	シャント電圧の差動測定、絶縁伝送、デジタル化
GaN HEMT	三相インバーターのスイッチング素子
MEMS Temperature / 6-axis IMU	局所温度、加速度および角速度の取得
RDL Interposer / Organic Substrate	ダイおよび部品の接続・実装
Shunt Resistor / Capacitor	電流検出、デカップリングおよび電力安定化

機能分担および異種プロセス統合

制御演算用 MCU、絶縁機能を持つ BCD 回路、GaN パワーデバイスおよび MEMS を統合する例である。各技術の耐圧、ノイズ、熱および機械特性が異なるため、配置と接続が主要設計要素となる（Fig. 7）。

データフローまたは電力フロー

48 V Rail → 三相 GaN ブリッジ → OUTU/OUTV/OUTW → Motor という電力フローを想定する。Brain Chiplets 等の上位制御系から動作モードや目標値等の制御指令を通信インターフェースを介して受信し、MCU が PWM 生成や FOC 等の局所的なモータ制御を実行する。MCU の PWM 信号は Isolation Motor Driver を介して GaN HEMT のゲートへ伝送され、Shunt Resistor の電流情報は Isolation Differential ADC を介して MCU へフィードバックされる。MEMS は温度および姿勢情報を取得する。これらの状態情報および異常情報は上位制御系へ通知する。過電流、過電圧、過熱等の即時性を要する保護動作は、上位制御系との通信に依存せず Actuator Chiplets 内で自律的に実行する。重要な制御指令や状態情報については、相互認証や MAC 等による完全性・真正性確認を含むセキュア通信の適用を検討する。

想定する実装構造

RDL Interposer と Multi-layer Organic Substrate を用いて、MCU、絶縁ドライバー、絶縁 ADC、GaN、MEMS および受動部品を統合する例である。Exposed Pad による放熱も示される。

期待される利点

制御、駆動、計測およびセンシングの近接化により、配線短縮と機能統合が期待される。三相出力のスイッチングノイズと低レベル計測を同居させるため、実装設計と検証が不可欠である。

設計上の課題

- 絶縁バリアの定義、耐圧および寿命
- 高 dv/dt による誤動作、ADC 誤差および通信ノイズ
- GaN ブリッジの放熱と MEMS 温度ドリフト
- シャント抵抗から ADC までの Kelvin 配線
- RDL/基板の電流容量、寄生インダクタンスおよび機械応力
- 機能安全上の監視、診断および安全状態

今後必要な評価

- 40～100 kHz PWM、FOC、電流帰還の動的評価
- 絶縁耐圧、CMTI 相当の耐性および部分放電等の評価項目整理
- EMI、熱、振動および複合環境評価
- センサー校正と制御ループへの影響
- 故障注入、診断カバレッジおよび安全状態遷移

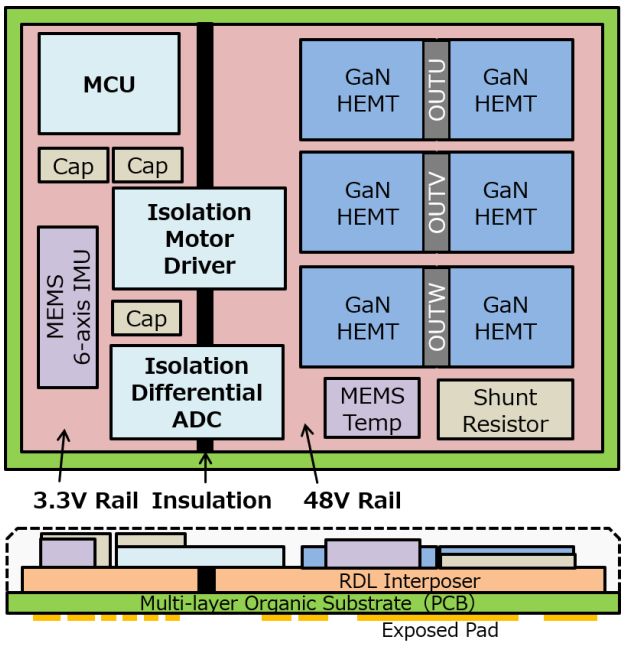


Fig. 7 Motor Driver SiP

要確認事項

- 「Insulation」と「Isolation」の用語を Isolation へ統一するか
- 48 V Rail 以外の 100 V、24 V 適用範囲
- ホールセンサーの配置、役割および構成要素への追加要否
- 絶縁および機能安全規格との関係。外部文献による確認が必要

6. Cross-Cutting Design Considerations

本章は、一次資料の各構成から抽出した横断課題を、将来の関連 SC および PG との連携項目として整理する。具体的な要求値、評価方法および合否基準は Rev.1.0.0 の対象外である。

分野	主な検討対象	J:CHIPLEX との関係
システム設計	機能割当、集中・分散、遅延、縮退動作	000 と 101～104 の機能分担
デバイスモデル	電気・熱・機械・寿命モデル	異種ダイおよび受動部品の協調解析
熱設計	熱源、熱抵抗、温度勾配、冷却	HBM/AI、GaN、積層センサーの局所発熱
EMC / EMI	伝導・放射、dv/dt、共通モード	103/104 のパワー変換と 000 のブロック間接続
Signal Integrity	D2D、メモリ、高速 I/F、クロストーク	101/102 の高密度接続
Power Integrity	複数電源レール、PDN、起動順序	102 の PMIC、103/104 の電力段
パッケージ・構造	TSV、RDL、Interposer、反り、応力	全機能モデルの実装基盤
パワーエレクトロニクス	GaN 駆動、保護、磁性部品、損失	103/104
テスト容易化	Boundary Scan、BIST、既知良品ダイ、故障分離	102 の案および全モデルの組立後検査
信頼性	温度・電力サイクル、接続寿命、経年劣化	異種材料と複合ストレス
機能安全	監視、診断、故障反応、安全状態	Actuator、Power、Brain の協調

6.1 共通記述項目の提案

各 J:CHIPLEX モデルには、機能ブロック、インターフェース、電源レール、熱源、信頼境界、ライフサイクル、テストアクセス、故障モードおよび要確認事項を共通メタデータとして付与することを検討する。これは本書上の整理案であり、正式なモデル仕様ではない。

6.2 評価の段階化

- 概念整合性：機能分担、境界およびフローが矛盾なく記述されているか
- モデル検証：電気、熱、機械、EMC およびセキュリティの解析モデルを相互接続できるか
- 試作評価：個別 SiP または評価ボードで想定機能を確認できるか
- システム評価：複数モデルを接続した場合に要求と安全性を満たすか

7. Roadmap and Collaboration

7.1 Rev.1.0.0 の位置付け

Rev.1.0.0 は、J:CHIPLEX の基本概念、000、001、002 および 101～104 の構成、ならびに横断課題を初期整理するスモールスタート版である。モデル詳細、評価指標、外部規格との対応および公開条件は今後の検討対象である。

7.2 段階的拡張（案）

Phase	主な成果物	状態
Phase 1	本ホワイトペーパー、モデル関係図、スライド対応表、要確認事項一覧	本ドラフトの対象
Phase 2	共通記述テンプレート、インターフェース・熱・EMC・テスト等の追加章	検討案
Phase 3	関連 SC/PG との共同レビュー、外部規格・ロードマップとの比較	追加調査事項
Phase 4	評価例、ユースケース拡張、改訂管理および公開版	将来検討

7.3 関連組織との連携方針

J:CHIPLEX は、チップレットソリューション PG を中心として、半導体システムソリューション技術委員会の関連 SC および PG との横断的な連携により検討を進める（Fig. 8）。各専門組織との連携を通じて、第 6 章に示した横断的設計課題の具体化および J:CHIPLEX 各モデルへの反映を進める。専門分野ごとに、レビュー範囲、提供可能なモデル、用語、評価方法および公開条件を確認し、合意が得られた内容を改訂へ反映する。



Fig. 8 J: CHIPLEX の検討体制と関連 SC・PG との横断連携

8. Conclusion

J:CHIPLEX は、複雑な半導体システムソリューションを、システム、機能別 SiP、セキュリティおよびライフサイクルの観点から関連付けて記述するために提案する概念的参照フレームワークである。ヒューマノイドを代表例とすることで、Eye、

Brain、Sensor、Power、Actuator および RoT Agent の関係を一つの構成上で示すことができる。

本 Rev.1.0.0 は、一次資料に示された J:CHIPLEX-000、001、002 および 101～104 を整理し、発熱、EMC、SI/PI、構造、テスト、信頼性および機能安全を将来の横断検討項目として提示した。今後は、要確認事項の解消、外部文献による裏付け、関連組織とのレビュー、図表の再作成および公開条件の確定が必要である。

References

[1] IEEE Electronics Packaging Society, “Heterogeneous Integration Roadmap.” [Online]. Available: https://eps.ieee.org/technology/heterogeneous-integration-roadmap/

[2] Open Compute Project, “Foundation Chiplet System Architecture 1.0.0.” [Online]. Available: https://www.opencompute.org/documents/fcsa-1-0-0-pdf/

[3] Chiplet Summit, “Chiplet Summit 2026 Proceedings,” Santa Clara, CA, USA, Feb. 17–19, 2026. [Online]. Available: https://chipletsummit.com/2026-proceedings-xyz/

Appendix

お問い合わせ先

一般社団法人電子情報技術産業協会 事業戦略本部事業推進部担当: 岩渕・大森

〒100-0004 東京都千代田区大手町 1-1-3 E-mail：device3@jeita.or.jp

ワーキング参加企業分類（2026 年 10 月 21 日現在）

業種	人数	割合
半導体・電子機器	16 名	27.1%
テスト・計測・検査装置	16 名	27.1%
EDA・設計／解析ソフト	7 名	11.9%
電子部品・材料・製造	7 名	11.9%
大学・研究機関	4 名	6.8%
業界団体・行政	4 名	6.8%
自動車・車載	3 名	5.1%
コンサル・その他	2 名	3.4%
合計	59 名	100%